


**MANUFACTURE OF SEMICONDUCTOR DEVICE**

Patent Number: JP3139876

Publication date: 1991-06-14

Inventor(s): NUKADA YASUAKI

Applicant(s): NEC CORP

Requested Patent:  JP3139876

Application Number: JP19890278892 19891025

Priority Number(s):

IPC Classification: H01L27/04

EC Classification:

Equivalents:

---

**Abstract**

---

**PURPOSE:** To manufacture a capacitor of laminate structure, without increasing photoetching processes, and also to increase the capacitance value area by providing an opening at the specified position of a fourth insulating film, and forming a first lead-out electrode to be connected electrically with first and third conductive layers and a second lead-out electrode to be connected with the second conductive layer.

**CONSTITUTION:** After formation of the SiO<sub>2</sub> layer 10 as an interlayer insulating layer, an opening is provided at the SiO<sub>2</sub> layer 10 on a second electrode 15 and a third electrode 18, and lead-out electrodes 11 and 12 are provided, respectively. This way, a laminate type capacitor can be made at the upper layer on a semiconductor substrate. That is, the effective capacitance is increased by the first and third electrodes being so provided as to sandwich the second electrode from above and below through a dielectric layer. Hereupon, the second electrode is used as a mask when forming the first and third electrodes, so the formation of the formation part at the lead-out electrode of the second electrode and the patterning of the first electrode can be done at the same time, therefore stacked structure can be realized without increasing photoetching process.

---

Data supplied from the esp@cenet database - I2

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平3-139876

⑤ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

④ 公開 平成3年(1991)6月14日

H 01 L 27/04

C

7514-5F

審査請求 未請求 請求項の数 1 (全4頁)

⑬ 発明の名称 半導体装置の製造方法

⑭ 特 願 平1-278892

⑮ 出 願 平1(1989)10月25日

⑯ 発 明 者 額 田 泰 明 東京都港区芝5丁目33番1号 日本電気株式会社内

⑰ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑱ 代 理 人 弁理士 内 原 晋

## 明 細 書

### 1. 発明の名称

半導体装置の製造方法

### 2. 特許請求の範囲

半導体基板主表面上に形成された第1の絶縁膜上に第1の導電層、第2の絶縁膜および第2の導電層を順次積層する工程と、前記第2の導電層を所定の形状にパターニングする工程と、前記第2の導電層表面に第3の絶縁膜を形成する工程と、前記半導体基板主表面上に第3の導電層を形成する工程と、前記第1および第3の導電層を所定の形状に同時にパターニングする工程と、前記半導体基板主表面上に第4の絶縁膜を形成する工程と、前記第4の絶縁膜の所定の位置に開孔部を設け、前記第1および第3の導電層と電気的に接続される第1の取出し電極と前記第2の導電層に接続される第2の取出し電極とを形成する工程とを含むことを特徴とする半導体装置の製造方法。

### 3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体装置の製造方法に関し、特にキャパシタの形成方法に関する。

〔従来の技術〕

従来、半導体装置におけるキャパシタの構造としては第2図(a)のようにP<sup>-</sup>半導体基板21中のN<sup>-</sup>拡散層22とP<sup>+</sup>拡散層23により形成されるPN接合を用いる方法、第2図(b)のように拡散層領域24の上部を酸化し、これを誘電体層26とし、さらにその上層に設けられたポリシリコン層27を対向電極として用いる方法、あるいは第2図(c)のようにCVD法等によりポリシリコン層28を形成して一方の電極とし、その上部を酸化して誘電体層29とし、さらにその上層にポリシリコン層30を形成して他方の電極として用いる方法が広く用いられている。

上述した従来のキャパシタでは、例えば第2図(a)の接合容量では、キャパシタに印加される電圧により静電容量値が変動するという欠点があり、

第2図(a),(c)のMOS容量や対向電極型容量では、平面上に形成するため大きな値のキャパシタが必要な場合は広い面積が必要となる。また第2図(a),(b)では基板に生じる電源ノイズ等が拡散層である電極を通してキャパシタに入り込むという欠点を有している。

〔発明が解決しようとする課題〕

本発明の目的は、基板電位や印加電圧に左右されない安定した高容量のキャパシタを小面積で実現できる半導体装置の製造方法を提供するものである。

〔課題を解決するための手段〕

本発明の半導体装置の製造方法は、半導体基板主表面に形成された第1の絶縁膜上に第1の導電層、第2の絶縁膜および第2の導電層を順次積層する工程と、前記第2の導電層を所定の形状にパターンニングする工程と、前記第2の導電層表面に第3の絶縁膜を形成する工程と、前記半導体基板主表面上に第3の導電層を形成する工程と、前記第1および第3の導電層を所定の形状に同時にパ

ターンニングする工程と、前記半導体基板主表面上に第4の絶縁膜を形成する工程と、前記第4の絶縁膜の所定の位置に開孔部を設け、前記第1および第3の導電層と電気的に接続される第1の取出し電極と前記第2の導電層に接続される第2の取出し電極とを形成する工程とを有している。

このような製造方法において、第2の導電層は、第2および第3の絶縁膜を介して第1および第3の導電層にはさまれている。そのため、容量部の面積は第2の導電層の上下両面となり、容量値を増大させることができる。また、第1および第3の導電層のパターンニングを同時に行なっているため、製造工程の増加を抑制できる。

〔実施例〕

次に、本発明について図面を参照して説明する。

第1図(a)~(e)に本発明の製造方法の一実施例を示す。

第1図(a)のように、半導体基板1表面に設けられた絶縁層であるシリコン酸化( $\text{SiO}_2$ )層2上に順次第1の電極となるポリシリコン層3、

第1の誘電体層となるシリコン窒化( $\text{Si}_3\text{N}_4$ )層4、第2の電極となるポリシリコン層5を積層し、さらにその上層に所定の形状にパターンニングされたレジストマスク6を形成する。

次に、第1図(b)に示すようにレジストマスク6にてポリシリコン層5のみをエッチングして第2の電極15を形成し、その後第2の電極15を酸化して第2の誘電体層7を形成する。このときポリシリコン層3は第1の誘電体層4で覆われているため、エッチングされないで残る。

続いて、第1図(c)に示すように第1図(b)で形成した第2の電極15をマスクにしてシリコン窒化膜4を第2の電極15直下を残し、ウェットエッチングし、第1の誘電体層14を形成する。その後、第3の電極となるポリシリコン層8を全面に形成し、第1及び第3の電極を形成するためのレジストマスク9を形成する。

次にレジストマスク9によりポリシリコン層3及び8をエッチングし、第1図(d)に示すように第1の電極13と第3の電極18を形成する。こ

のとき第3の電極18はレジストマスク9の平面形状の通りにエッチングされるが、第2の電極15は表面が第2の誘電体層7としての酸化膜に被覆されているため、エッチングされないで残ることになる。このため第2の電極15の下にある第1の電極13の部分も残ることになる。

次に、第1図(e)のように層間絶縁層としての $\text{SiO}_2$ 層10を形成した後、第2の電極15上及び第3の電極18上の $\text{SiO}_2$ 層10に開孔部を設け、それぞれ取出し電極11、12を設ける。このようにして、半導体基板の上層に積層型のキャパシタを形成することができる。すなわち、第2の電極を誘電体層を介して上下からはさむように設けられた第1および第3の電極により実効容量を増加させている。ここで第1および第3の電極を形成する際、第2の電極をマスクとして使用しているため、第2の電極の取り出し電極に形成部の形成と第1の電極のパターンニングとを同時に行なうことができるためフォトリソエッチング工程増すことなく積層構造を実現することができる。

なお上述したキャパシタにおいて用いられる電極となるポリシリコン層は導電性を付与するため、不純物が導入されていることは言うまでもない。

〔発明の効果〕

以上説明したように本発明の製造方法を採用することにより、フォトリソング工程を増すことなく積層構造のキャパシタが製造でき単位面積当りの静電容量値を増大できる効果がある。また半導体基板がキャパシタの構成の一部に用いられていないため、キャパシタへの印加電圧や基板電位の変動に影響されることのない良好なキャパシタが実現できる。

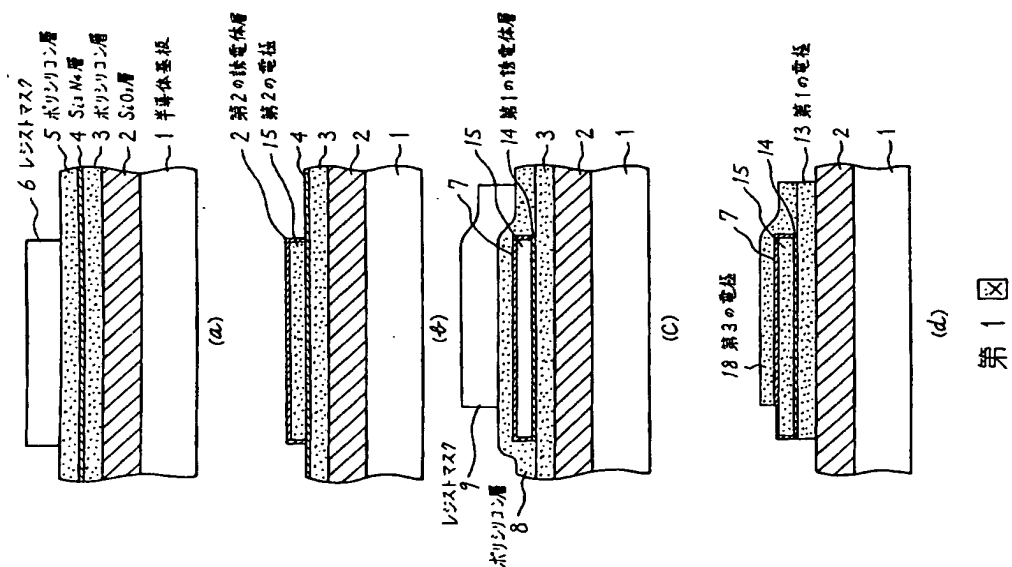
層、10…… $\text{SiO}_2$ 層、11、12……取出し電極、13……第1の電極、14……第1の誘電体層、15……第2の電極、18……第3の電極、22……第1の拡散層、23……第2の拡散層、24……拡散層、25……絶縁層、27、28、30……ポリシリコン層。

代理人 弁理士 内 原 晋

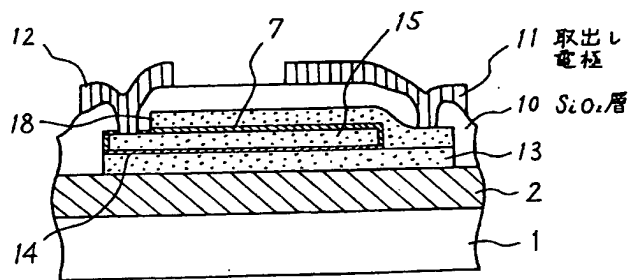
4. 図面の簡単な説明

第1図(a)～(e)は本発明の一実施例を示す工程断面図、第2図(a)～(c)は従来のキャパシタの構造を示す断面図である。

1、21……半導体基板、2…… $\text{SiO}_2$ 層、3、5、8……ポリシリコン層、4…… $\text{Si}_3\text{N}_4$ 層、6、9……レジストマスク、7……第2の誘電体

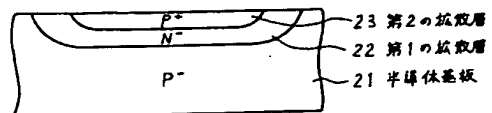


第1図

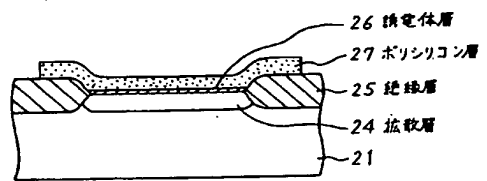


(e)

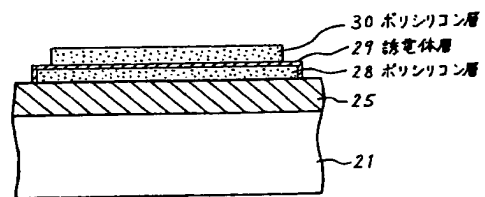
第1図



(a)



(b)



(c)

第2図